

BUNDESREPUBLIK DEUTSCHLAND

E 04/3750



REC'D 28 MAY 2004

WIPO

PCT

PRIORITY DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 103 16 136.8

Anmeldetag: 09. April 2003

Anmelder/Inhaber: IXYS Semiconductor GmbH, 68623 Lampertheim/DE

Bezeichnung: Gekapselte Leistungshalbleiteranordnung

IPC: H 01 L 25/07

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 26. April 2004
Deutsches Patent- und Markenamt

Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to read "Agurks".

ix02002del

8. April 2003

rop/ohl

f:\ib4\sp\adtann\ohl\00001.rtf

IXYS Semiconductor GmbH
Edisonstrasse 15

D-68623 Lampertheim

Gekapselte Leistungshalbleiteranordnung.

GEKAPSELTE LEISTUNGSHALBLEITERANORDNUNG

Gebiet der Erfindung:

Die Erfindung betrifft eine gekapselte Leistungshalbleiteranordnung, in der eine Mehrzahl von Leistungshalbleiterchips gekapselt sind.

Stand der Technik:

In Systemen, bei denen die Stromversorgung mit Batterien erfolgt, insbesondere im Automobilbau, finden zunehmend Leistungshalbleiter Anwendung. Bei Spannungen von 12 bis 80 V treten häufig hohe Ströme auf, die an die Leistungsschalter besondere Ansprüche stellen. Zum Schalten hoher Ströme werden im Stand der Technik gekapselte Halbleiterchips eingesetzt. Es ist bekannt, mehrere Chips unter Verwendung eines Leiterrahmens gleichzeitig zu verkapseln, wie beispielsweise in der DE 26 36 450 C2 und der US 4 507 675 beschrieben ist. Anschließend werden die einzelnen Leistungshalbleiterbauelemente, die über jeweils einen Chip verfügen, wieder voneinander getrennt.

Die Zuleitungen zu den Chips, die von aus der Umkapselung ragenden Anschlusselementen ausgehen, sind häufig aus Gründen des Aufbaus der Leistungshalbleiteranordnungen so bemessen, dass die Zuleitungen unerwünscht hohe Widerstände aufweisen, was zu Aufwärmeffekten führt. Ferner treten oft auch parasitäre Induktivitäten auf, die Überspannungseffekte zur Folge haben können.

In der WO 00/07238 ist eine gekapselte Leistungshalbleiteranordnung mit nur einem Chip beschrieben, der auf ein Keramiksubstrat aufgebracht ist, das an seiner

Ober- und Unterseite mit Kupfer beschichtet ist. Derartige Keramiksubstrate werden auch als Direct-Copper-Bond-Substrate bezeichnet. Sie haben den Vorteil, dass der Chip einerseits gegenüber dem Kühlkörper elektrisch isoliert ist und andererseits die Wärme in den Kühlkörper abgeleitet wird.

Aus der EP 0063070 A1 ist bekannt, eine Mehrzahl von Leistungshalbleiterchips zu kombinieren. Dort sind zwei untereinander elektrisch nicht verbundene Chips auf eine thermisch gut leitende Platte aufgebracht und jeweils mit Anschlusselementen verbunden. Über die Platte wird die Wärme an eine Grundplatte abgeführt.

Darüber hinaus ist es bekannt, eine größere Anzahl von Bauelementen auf einem metallischen Kamm anzurichten, der bis auf eine Kühlfläche mit Kunststoff umpreßt wird (BBC BROWN BOVERI, Leistungshalbleiter, Dr. Heimo Buri, Mannheim 1982). Später werden die einzelnen Bauelemente wieder voneinander getrennt. Diese Umpreßtechnik findet dann Anwendung, wenn kleinere Bauelemente in großer Stückzahl kostengünstig hergestellt werden sollen.

Zusammenfassung der Erfindung:

Der Erfindung liegt die Aufgabe zu Grunde, eine kostengünstig zu fertigende Leistungshalbleiteranordnung mit einer Mehrzahl von Chips zu schaffen, die verbesserte Eigenschaften hat, insbesondere Wärme besser zum Kühlkörper abführt, bei der weniger Überspannungen und weniger parasitäre induktive Effekte auftreten, und bei der die Chips zumindest teilweise auch untereinander elektrisch verbunden sein können.

Diese Aufgabe wird durch eine gekapselte Leistungshalbleiteranordnung gelöst, die ein Substrat aus einem keramischen Isolatormaterial mit mindestens einer Insel aus einem thermisch und elektrisch leitfähigen Leitermaterial, mindestens

zwei auf den Inseln angeordnete Leistungshalbleiterchips, elektrische Verbindungen von den Chips zu Anschlusselementen, und eine monolithische Umkapselung aus umpreßten Kunststoffmaterial umfasst, die die Leistungshalbleiterchips vollständig umgibt, das Substrat zumindest teilweise umgibt, und aus der die Anschlusselemente herausstehen, wobei mindestens zwei Anschlusselemente elektrisch und mechanisch mit den Inseln verbunden sind.

Das thermisch und elektrisch leitfähige Material ist vorzugsweise ein Metall, insbesondere in Form einer dünnen Schicht.

Da die Chips auf thermisch leitenden Inseln, vorzugsweise auf mehrere Inseln, insbesondere jeder einzelne Chip auf einer gesonderten Insel plaziert sind, wird die Wärme von den Chips nicht in eine geschlossene Leiterschicht abgeleitet, sondern nur in einen isolierten, also getrennten Bereich. Von diesem Bereich aus gelangt die Wärme dann direkt in das Isolatorsubstrat und kann von diesem aus nach unten abgeleitet werden. Beispielsweise kann die Wärme in eine auf der Unterseite des Substrats angeordnete Metallschicht abgeleitet werden, die nicht umkapselt ist, also freiliegt und somit die Wärme an einen Kühlkörper abgeben kann. Die elektrischen Verbindungen werden dann weniger oder kaum erwärmt.

Die Anordnung der Inseln mit und ohne Chips erlaubt eine Optimierung der elektrischen Verbindungen. Die elektrischen Verbindungen können Lötverbindungen, (Bond-)Drahtverbindung oder auch Verbindungen über die Inseln umfassen. Bei einer Optimierung der Belegung der Anschlusselemente kann auf parasitäre Induktivitäten geachtet werden, beispielsweise indem einen Hauptstrom führende Anschlusselemente nebeneinander angeordnet sind. Damit an benachbarten Anschlusselementen nicht zu hohe Spannungen anliegen, sind die Inseln vorzugsweise so ausgebildet, dass zumindest in der Grundtendenz solche Anschlusselemente näher zueinander angeordnet sind, an denen Potentiale liegen, die einen geringen Potentialabstand (Spannung) haben als solche Anschlusselemente, an denen Potentiale liegen, die einen hohen Potentialabstand

haben. Die Anschlusslemente können auf zwei, insbesondere gegenüberliegenden Seiten der Umkapselung angeordnet sein, wobei sie aus dieser herausragen können. Sie können flache Leiteranschlüsse sein, die auch innerhalb oder außerhalb der Umkapselung gebogen sein können. Die Leiteranschlüsse müssen nicht alle dieselben Abmessungen und im gleichen Abstand zueinander angeordnet sein. Auf einer Seite der Umkapselung können sie z.B. schmäler sein und geringere Abstände zum nächsten Nachbarn aufweisen als auf der anderen Seite der Umkapselung. Die breiteren Leiteranschlüsse auf der einen Seite der Umkapselung können auch weniger zahlreich sein als es die schmalen auf der anderen Seite der Umkapselung sind. Unter den Leiteranschlüssen kann in der Umkapselung ein Schlitz bzw. eine Aussparung zur Aufnahme eines Isolators, beispielsweise eine Kunststofffolie, vorgesehen sein, damit die Leiteranschlüsse bei der Kontaktierung der metallisierten Unterseite des Substrats mit einer Wärmesenke von dieser getrennt sind, so dass elektrische Kurzschlüsse vermieden werden.

Bei der Erfindung wird vorzugsweise ein metallisiertes Keramiksubstrat verwendet, beispielsweise ein Direkt-Kupfer-Bond-Substrat oder ein Direkt-Aluminium-Bond-Substrat, wobei das Keramikmaterial Aluminiumoxid und/oder Aluminiumnitrid umfassen kann. Die Chips können auf die Metallinseln gelötet sein.

Es kann eine Vielzahl verschiedener Chips verwendet werden, beispielsweise MOSFET-, Dioden-, IGBT- und/oder Thyristorchips, die beispielsweise einen Einzelschalter, einen Chopper, einen Brückenzweig, eine H-Brücke oder eine Dreiphasenbrücke oder eine Kombination dieser Elemente bilden können.

Kurze Beschreibung der Zeichnung:

Nachfolgend wird eine bevorzugte Ausführungsform der Erfindung unter Bezugnahme auf die Zeichnung beschrieben, in der zeigen:

Fig. 1 eine schematische Innenansicht eines Ausschnitts aus der erfindungsgemäßen Leistungshalbleitervorrichtung in der Draufsicht,

Fig. 2 die erfindungsgemäße Leistungshalbleiteranordnung in der Draufsicht,

Fig. 3 die Leistungshalbleiteranordnung in der Unteransicht,

Fig. 4 einen Ausschnitt der Leistungshalbleiteranordnung in geschnittener und vergrößerter Darstellung, und

Fig. 5 ein Schaltbild einer Kombination von sechs Leistungshalbleiterchips für eine Ausführungsform der Erfindung.

Beschreibung einer bevorzugten Ausführungsform der Erfindung:

Fig. 1 zeigt einen Ausschnitt einer Leistungshalbleiteranordnung, bei der auf der einen im Bild unteren Seite drei Anschlusselemente 10 und auf der gegenüberliegenden im Bild oberen Seite acht Anschlusselemente 12 zu erkennen sind, die wesentlich schmäler sind und einen geringeren Abstand voneinander haben als die Anschlusselemente 10. Auf der Oberseite des Substrats, das aus einem keramischen Isolatormaterial besteht, befinden sich Inseln aus einem thermisch und elektrisch leitfähigen Material. Diese Inseln werden durch eine Metallschicht gebildet, die durch Gräben 16, die mittels Ätzen erzeugt worden

sind, voneinander getrennt sind. Die Metallschichtinseln dienen der elektrischen Verbindung und der Befestigung der Anschlusselemente 10 und der Leistungshalbleiterchips 22.

Die oberen Anschlusselemente 12 sind jeweils mit nebeneinander angeordneten Inseln 17 am oberen Rand des Substrates mechanisch und elektrisch verbunden. Die unteren Anschlusselemente 10 sind mit als Leiterbahnen ausgebildeten Inseln 14 elektrisch und mechanisch verbunden. Auf die Inseln 21 im mittleren Bereich des Substrats sind die Leistungshalbleiterchips 22 gelötet. Ferner sind zwischen zwei Leiterbahnen 14 etwas kleinere Metallschichtinseln 19 vorgesehen, die zum Aufboden von Drähten für die elektrische Verbindung der Halbleiterchips mit den Anschlusselementen dienen. Gezeigt ist beispielsweise ein Bonddraht 20, der von einem Chip 22 zu einer Insel 19 führt. Ein weiterer Bonddraht 24 stellt dann die Verbindung zu einem Anschlusselement 12 her, das wiederum mit einer Insel verbunden ist. Ein dritter Bonddraht 26 ist vom Chip 22 über eine Leiterbahn 14 zu einem Anschlusselement 12 geführt. Ferner ist der Chip über eine Vielzahl nebeneinander angeordneter Drähte 28 mit einer Leiterbahn 14 verbunden. In ähnlicher Weise sind die elektrischen Verbindungen der anderen Chips hergestellt. Zur Verringerung von Induktivitäten sind die Stromanschlüsse +, - unmittelbar nebeneinander angeordnet, und die stromführenden Leiterbahnen bilden keine Leiterschleife.

Die Metallschicht ist eine Kupferschicht, die auf einem relativ dünnen Keramiksubstrat aufgebracht ist, das beispielsweise ca. 0,38 mm dünn, vorzugsweise kleiner als 1,0 mm ist. Dies genügt als Isolierung für Spannungen, wie sie im Automobilbau verwendet werden, also nicht zu hoch sind. Rückseitig ist das Keramiksubstrat ebenfalls mit Kupfer beschichtet. Es wird also ein Direct-Copper-Bond-Substrat verwendet.

Die Fig. 2 zeigt die erfindungsgemäße Leistungshalbleiteranordnung in der Draufsicht. Die Leistungshalbleiterchips werden von einer monolithischen

Umkapselung 30 aus Kunststoff umschlossen, die um das Keramiksubstrat gepreßt ist. Diese Umpreßtechnik ist dem Fachmann bekannt. Die Umkapselung erstreckt sich über die gesamte Oberseite des Substrats und hintergreift die Unterseite des Substrats. Aus der Umkapselung 30 stehen die Anschlusselemente 10,12 in Form von flachen Leiteranschlüssen seitlich heraus.

Bei der in Fig. 3 dargestellten Ansicht derselben Leistungshalbleiteranordnung von unten sieht man, dass das Substrat von der Umkapselung nicht völlig umschlossen ist, sondern die untere Metallschicht 32 freiliegt und von einem schmalen umlaufenden Rand 38 der Umkapselung umgeben wird. Die Leistungshalbleiteranordnung kann auf diese Weise gut an eine Wärmesenke angekoppelt werden. An dem schmalen umlaufenden Rand tritt die Umkapselung unter Bildung von Absätzen 37 zurück, so dass schmale Spalte entstehen, wenn die Halbleiteranordnung mit der unteren Metallschicht auf einem Kühlkörper aufliegt (Fig. 4). In diese Spalte kann sich ein flacher Isolator erstrecken, der unter die Leiteranschlüsse geschoben wird. Der Isolator, beispielweise ein Kunststoffplättchen, dient der Vermeidung von Kurzschläßen zwischen den Leiteranschlüssen und dem Kühlkörper und gleichsam der Erhöhung der Spannungsfestigkeit.

Die verschiedenen Chips können mit der erfindungsgemäßen Leistungshalbleitervorrichtung hervorragend miteinander verschaltet werden. Fig. 5 zeigt als Beispiel die Verschaltung von sechs Elementen als Dreiphasenbrücke. Jedes Element enthält einen MOSFET 34 mit Gateanschluss G1, G2, G3, G4, G5 bzw. G6 und Sourceanschluss S1, S2, S3, S4, S5 bzw. S6 sowie eine Diode 36, die entweder jeweils Teil eines MOSFETs oder auch gesondert in Form einer Schottkydiode bereitgestellt sein kann. Andere hier nicht dargestellte Verschaltungen können eine H-Brücke oder einen Brückenzweig bilden.

Patentansprüche

1. Gekapselte Leistungshalbleiteranordnung mit:
 - einem Substrat aus einem keramischen Isolatormaterial mit mindestens einer Insel (14, 17, 18, 19) aus einem thermisch und elektrisch leitfähigem Material,
 - mindestens zwei auf den Inseln angeordneten Leistungshalbleiterchips (22),
 - elektrischen Verbindungen (20, 24, 26, 28, 14) von den Chips zu Anschlusselementen (10, 12), und
 - einer monolithischen Umkapselung (30) aus umpresstem Kunststoffmaterial, die die Leistungshalbleiterchips (22) vollständig umgibt, das Substrat zumindest teilweise umgibt, und aus der die Anschlusselemente (10, 12) herausragen, wobei mindestens zwei Anschlusselemente elektrisch und mechanisch mit den Inseln verbunden sind.
2. Leistungshalbleiteranordnung nach Anspruch 1, dadurch gekennzeichnet, dass die Inseln (14, 17, 18, 19) getrennte Teilflächen einer Metallschicht umfassen.
3. Leistungshalbleiteranordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass das Substrat ein Keramiksubstrat ist, das insbesondere Aluminiumoxid- oder Aluminiumnitrid-Keramikmaterial umfasst.
4. Leistungshalbleiteranordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass das Substrat auf der den Inseln gegenüberliegenden Seite eine Metallbeschichtung (32) aufweist.

5. Leistungshalbleiteranordnung nach Anspruch 4, dadurch gekennzeichnet, dass die Metallbeschichtung (32) des Substrats auf der den Inseln gegenüberliegenden Seite zumindest teilweise freiliegt.
6. Leistungshalbleiteranordnung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass das Substrat ein Direct-Kupfer-Bond- oder Direct-Aluminium-Bond-Substrat ist.
7. Leistungshalbleiteranordnung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass die elektrischen Verbindungen Lötverbindungen umfassen.
8. Leistungshalbleiteranordnung nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass die elektrischen Verbindungen Drahtverbindungen (20, 24, 26, 28) und/oder Verbindungen (14) über die Inseln umfassen.
9. Leistungshalbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Anschlusselemente (10,12) flache Leiteranschlüsse sind oder innerhalb oder außerhalb der Umkapselung gebogene Leiteranschlüsse sind.
10. Leistungshalbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass sich an zwei verschiedenen Seiten der Umkapselung Anschlusselemente (10, 12) befinden.
11. Leistungshalbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Anschlusselemente (10, 12) so angeordnet und mit den Chips verbunden sind, dass einen Hauptstrom führende Anschlusselemente nebeneinander angeordnet

sind.

12. Leistungshalbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Anschlusselemente (10, 12) so angeordnet und mit den Chips verbunden sind, dass zwei Anschlusselemente, an denen Potentiale anliegen, die einen hohen Potentialabstand zueinander haben, weiter voneinander entfernt sind als zwei Anschlusselemente, an denen Potentiale anliegen, die einen niedrigen Potentialabstand zueinander haben.
13. Leistungshalbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Chips (22) mittels Lötverbindungen an einer Metallinsel befestigt sind.
14. Leistungshalbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass an der Unterseite der Umkapselung (30) mindestens ein Absatz (37) zum Einschieben eines flachen Isolators ausgebildet ist.
15. Leistungshalbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Chips MOSFET-, Dioden-, IGBT- und/oder Thyristor chips umfassen.
16. Leistungshalbleiteranordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Chips in ihrer Zusammenwirkung einen Einzelschalter, einen Chopper, einen Brückenzweig, eine H-Brücke oder eine Dreiphasenbrücke (Fig. 4) oder eine Kombination dieser Elemente bilden.

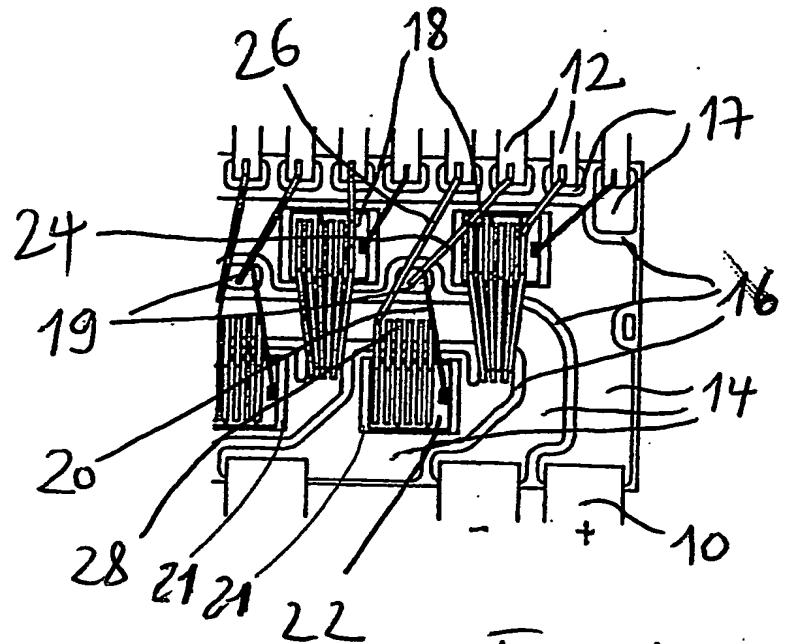


Fig. 1

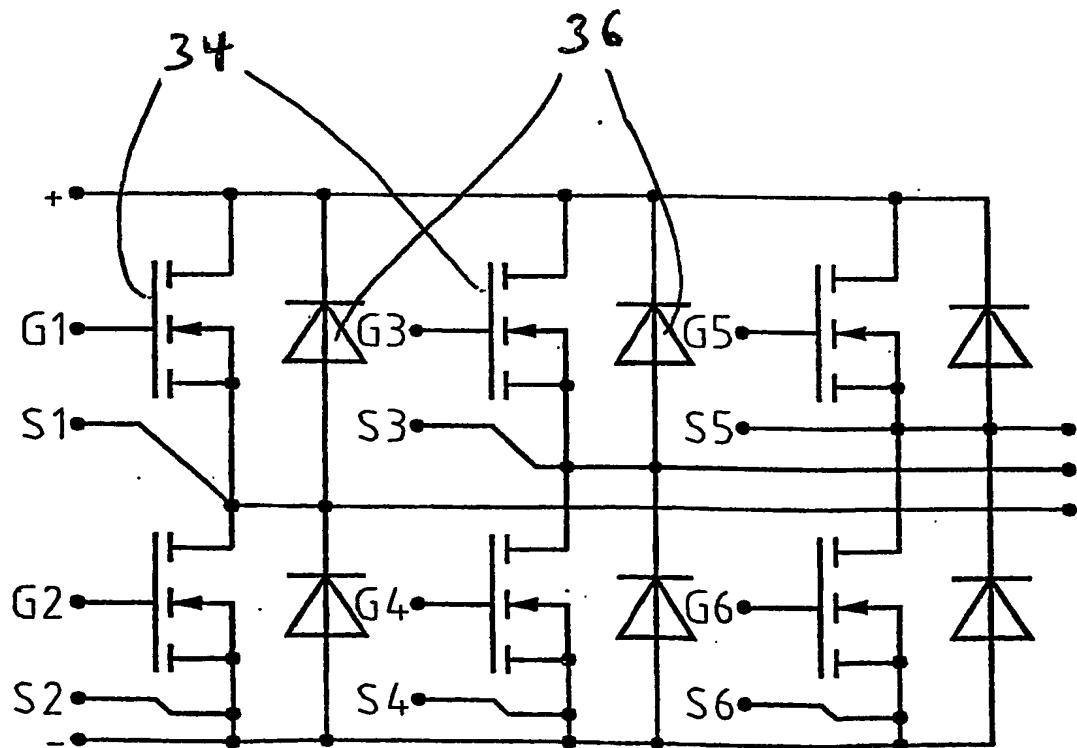


Fig. 5

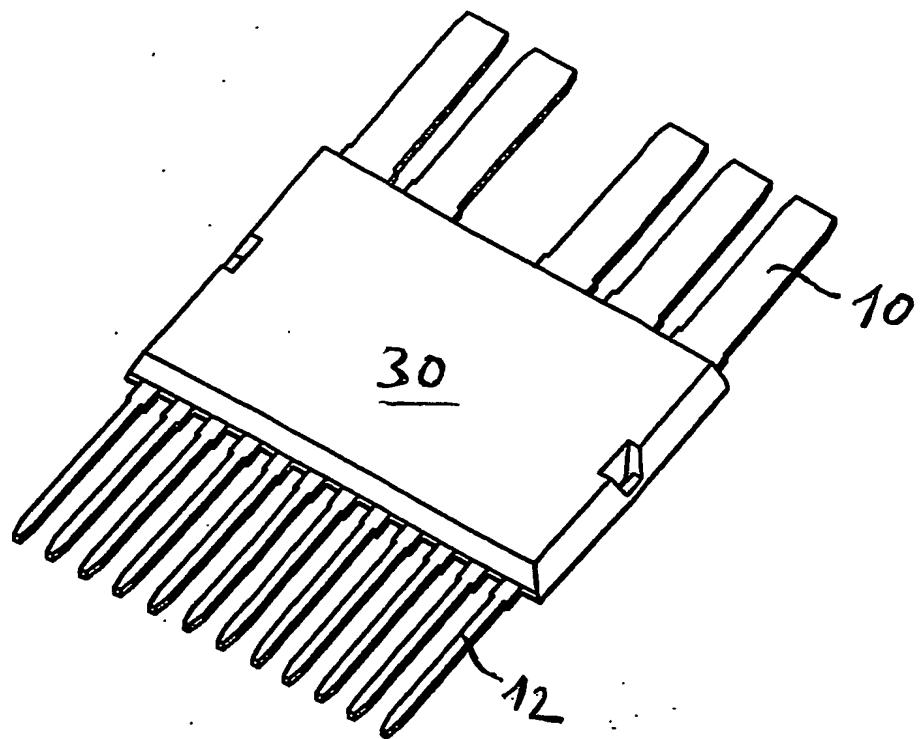


Fig. 2

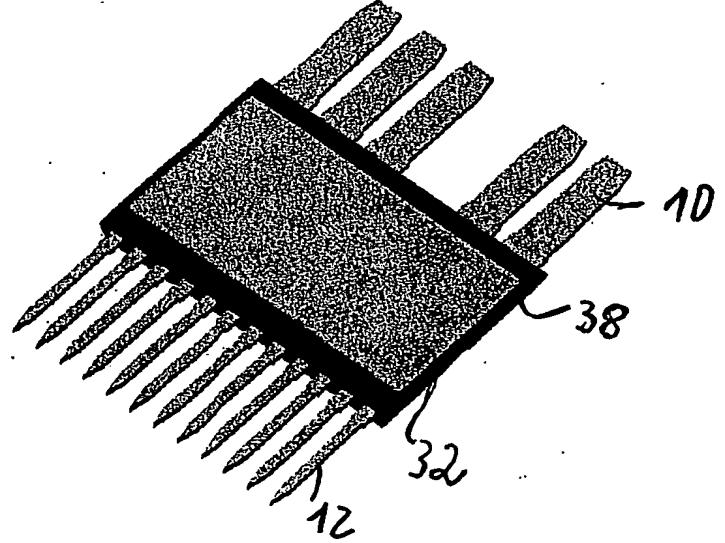


Fig. 3

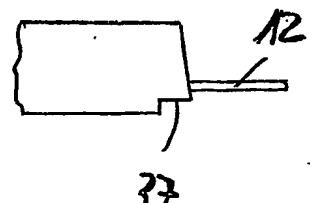


Fig. 4

Zusammenfassung

GEKAPSELTE LEISTUNGSHALBLEITERANORDNUNG

Eine gekapselte Leistungshalbleiteranordnung umfasst ein Substrat aus einem Isolatormaterial (Keramik) mit einer Mehrzahl von Inseln 14, 17, 18, 19, die aus einem thermischen Leitermaterial, insbesondere aus Teilflächen einer Metallschicht bestehen. Auf den Inseln sind Leistungshalbleiterchips 22 aufgelötet. Elektrische Verbindungen von den Chips zu Anschlusslementen 10 bzw. 12 sind über Bonddrähte 20, 24 auf zusätzlichen Inseln 19 oder über Drähte 28 und Teilbereiche 14 der Metallschicht hergestellt. Eine Umkapselung umgibt das Substrat und die Chips, wobei die Anschlusslemente 10 bzw. 12 herausstehen und das Substrat mit einer metallisierten Unterseite zum Anlegen an eine Wärmesenke freiliegt.

Fig. 1

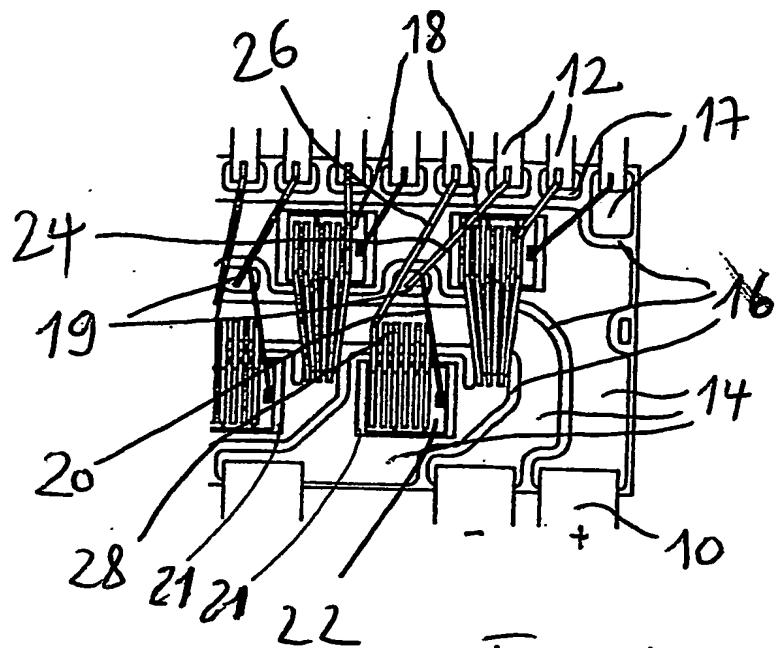


Fig. 1